

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-200931

(43)Date of publication of application : 04.09.1987

(51)Int.Cl.

H04H 5/00

(21)Application number : 61-043381

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 28.02.1986

(72)Inventor : ITO TATSUO
NORITA KAZUYUKI
TAKEUCHI HIROSHI
HASHIMOTO JUNJI

(54) CONTROL CIRCUIT OF AUTOMATIC STEREO SEPARATION

(57)Abstract:

PURPOSE: To change smoothly the stereo separation of an FM receiver in response to the reception electric field by obtaining a matrix coefficient to obtain an optimum stereo separation.

CONSTITUTION: A signal level obtained from an FM receiver is inputted to a control microcomputer and main/sub stereo sound signals (L+T), (L-R) demodulated by the receiver are inputted to a digital signal processor, they are separated into left/right signals L, R by stereo demodulation matrixes $L=(L-R).KS0+(L+R).KS1$, $R=(L-R).KS2+(L+R).KS3$, and in such a signal processing, matrix coefficients KS0.KS3 realizing the optimum stereo separation to the signal level are obtained in the microcomputer. That is, in changing the coefficients KS0~KS3 of the stereo demodulation matrixes in the digital signal processor, the stereo separation is changed, then the stereo separation is changed smoothly at the fluctuation of electric field of the FM receiver.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-200931

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)9月4日

H 04 H 5/00

H-6913-5K

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 自動ステレオ分離度制御回路

⑰ 特 願 昭61-43381

⑱ 出 願 昭61(1986)2月28日

⑲ 発 明 者 伊 藤 辰 男 神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社
内
⑲ 発 明 者 法 田 和 行 神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社
内
⑲ 発 明 者 竹 内 博 神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社
内
⑲ 発 明 者 橋 本 順 次 神戸市兵庫区御所通1丁目2番28号 富士通テン株式会社
内
⑲ 出 願 人 富士通テン株式会社 神戸市兵庫区御所通1丁目2番28号
⑲ 代 理 人 弁理士 青 柳 稔

明 細 書

1. 発明の名称

自動ステレオ分離度制御回路

2. 特許請求の範囲

F M受信機から得られるシグナルレベルを制御用マイクロコンピュータに入力すると共に、該受信機で復調された主調のステレオ音声信号(L+R)、(L-R)をデジタル信号処理プロセッサに入力してそのステレオ復調マトリクス

$$L = (L - R) \cdot K_{s0} + (L + R) \cdot K_{s1}$$

$$R = (L - R) \cdot K_{s2} + (L + R) \cdot K_{s3}$$

で左右の信号L、Rに分離する信号処理時に、該マイクロコンピュータ内において該シグナルレベルにとって最適なステレオ分離度を実現するマトリクス係数 $K_{s0} \sim K_{s3}$ を求め、これを前記プロセッサに与えて信号処理させるようにしてなることを特徴とする自動ステレオ分離度制御回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタル信号処理プロセッサを使用

した自動ステレオ分離度制御回路に関する。

(従来の技術)

F M放送のサービスエリアは、使用している周波数帯域、電力等からA M放送より狭い。加えて、車載用F M受信機は送信所からの距離、高層建築物、山岳部等の影響によってアンテナに入力してくる電波の変動が激しいので、家庭用のF M受信機よりは良好な品質のステレオ放送を楽しむことが困難である。

このような場合にステレオ分離度(セパレーション)を低下させてモノラルに近づけるとS/Nが改善される。第6図はこの説明図で、(a)はセパレーションとS/N改善度の関係を示す特性図、(b)はアンテナ入力に対するセパレーション、S/N、シグナルノイズ出力の各関係を示す特性図である。F MステレオのS/Nはもともとモノラルに比べて21.7dB悪いが、セパレーションを変えればS/Nも改善できる(但し、S/N改善効果が現われるのは、セパレーションが20dB以下位である)。

このため、第6図(向)のように中間周波段IFから受信電界強度を示すシグナルレベルを取出し、それをステレオのサブ復調部に与えてセバレーションを変化させる方法(ASC)がある。これはサブ信号の復調レベルを変化させてセバレーション m を $0.7 < m < 1.25$ の範囲で変化させるものである。セバレーション m はメイン信号 $(L+R)$ とサブ信号 $(L-R)$ とのピークレベル比で、

$$m = \frac{\text{サブ信号レベル}}{\text{メイン信号レベル}}$$

で表わされる。

(発明が解決しようとする問題点)

ところが、従来のステレオ復調はアナログ処理を行っているので、セバレーション変化を滑らかに行うことができず、電界急変時等に対応できない欠点がある。本発明は、音量、音質等の基本的な音声処理を1チップで実行可能なデジタル信号処理プロセッサ(DSP)を利用してステレオ分離度をシグナルレベルに応じて円滑に制御しようとするものである。

レベルに応じて最適なステレオ分離度となる様に变化させると、FM受信機の電界変動時に円滑にステレオ分離度を変化させることができる。

特に、分離度制御と自動トーン制御、自動音量制御等を連動させると、より円滑な分離度制御が可能となる(ヒステリシス効果、時間制御等)利点がある。

(実施例)

第1図はFMチューナ1、AMチューナ2、カセットデッキアンプ3を音源とするオーディオシステムのブロック図で、チューナ1、2はいずれもスーパーヘテロダイン方式のPLLシンセサイザ型である。ANTはアンテナ、RFは高周波段、MIXは周波数ミキサ段、LOは局部発振器、IFは中間周波段、DETは検波段で、局部発振器LOの発振周波数は制御用マイクロコンピュータ(CPU)4からの分周比N値によって変更される。つまり、局部発振器LOの出力 f_{LO}/f_{MLO} は位相同期部PLL内の可変分周器で $1/N$ に分周された後に位相比較器で基準周波数 f_r と比較さ

(問題点を解決するための手段)

本発明は、FM受信機から得られるシグナルレベルを制御用マイクロコンピュータに入力すると共に、該受信機で復調された主副のステレオ音声信号 $(L+R)$ 、 $(L-R)$ をデジタル信号処理プロセッサに入力してそのステレオ復調マトリクス

$$L = (L-R) \cdot K_{s0} + (L+R) \cdot K_{s1}$$

$$R = (L-R) \cdot K_{s2} + (L+R) \cdot K_{s3}$$

で左右の信号L、Rに分離する信号処理時に、該マイクロコンピュータ内において該シグナルレベルにとって最適なステレオ分離度を実現するマトリクス係数 $K_{s0} \sim K_{s3}$ を求め、これを前記プロセッサに与えて信号処理させるようにしてなることを特徴とするものである。

(作用)

デジタル信号処理プロセッサにおけるステレオ復調マトリクスの係数 $K_{s0} \sim K_{s3}$ を変更するとステレオ分離度が変更されるので、この係数を制御用マイクロコンピュータにおいて、シグナル

れ、その誤差分がローパスフィルタLPFを通過してチューニングバイアスTBとなる。LO、PLL、LPFは閉ループを構成するので、分周比N値を変更するとLOの周波数はLPFの出力TBを0にするように変化する。

カセットデッキアンプ3は磁気ヘッドHD、イコライザアンプEQ、AMP、フラットアンプFLAT AMP、ノイズリダクション・システムDOLBY(商標)からなり、カセットデッキ(デッキドライバを含む)5が対となる。CPU4に対してはキーパッド・マトリクス6から音源選択、音量調節等の各種指示を入力できる。7は各音源の動作状態を表示するディスプレイ、8はCPU4からの指示で音源切換えを行う切換機能と、選択された音声信号をデジタル信号に量子化する機能を有する16ビットのA/D変換器、9はチューナ1、2の各シグナルレベル(電界強度を示す)をデジタル信号に量子化してCPU4に入力する6ビットのA/D変換器、10はA/D変換器8の出力を信号処理するデジタル信号処理プロセッ

サ、11は量子化されているDSP10の出力をアナログ信号に復元する16ビットのD/A変換器、POW AMPはパワーアンプ、SPはスピーカである。

第2図はDSP10のアーキテクチャを示す概略構成図で、プログラムバス20にはプログラムメモリ(ROM)21、プログラムカウンタ22、I/Oインターフェイス23、クロック発振器24が接続され、インターフェイス23は更に制御用マイクロコンピュータ4やA/D、D/A変換器8、11に接続される。一方、データバス31にはデータメモリ(RAM)25やアドレスカウンタ26、或いは乗算器27、加算器28、アキュムレータ29、演算器30が接続される。

DSP10で扱う数は10進数で0.998046875～-1.0、バイナリ数で表示すると011111111～1000000000(符号付2の補数)、ヘキサ数では1FF～200である。このDSP10とCPU4の間の通信はアドレス8ビット、データ10ビットのシリアルクロック同期式で、アドレスはDS

Pプログラム上に定義付けられたDSP内RAMアドレスである。データ(係数値)はDSP内RAMアドレスで指示されたアドレスに格納され、DSPプログラムに従って各種フィルタの係数値として使用される。

第3図はDSP10の処理を示すシグナルフローで、ステレオ入力L-R、L+Rを対象としている。図中、×印は乗算器、⊕は加算器、 z^{-1} は1サンプル遅れを示す。入力段はステレオ復調マトリクスで、その後段に19KHzのパイロットフィルタ、ディエンファシス回路、ATC(自動トーン・コントロール)回路が順次配列される。後3者は傾斜の異なるローパスフィルタで、更にトーンコントロール回路、ボリュームコントロール回路を通して左右の音声信号L、Rが出力される。ステレオ復調マトリクスでは4つの係数が用いられ、 $K_{s0} = 0.5$ 、 $K_{s1} = 0.5$ 、 $K_{s2} = -0.5$ 、 $K_{s3} = 0.5$ に設定するとL、Rが完全に分離される。尚、各種係数のRAMへの初期設定はバッテリーを接続した後にマトリクス6のテン

キーから行う。

本発明では、第5図に示すようにDSP10による復調マトリクスの係数 $K_{s0} \sim K_{s3}$ をシグナルレベルによって切換え、その結果としてセレーションを変化させようとするものである。同図(a)のアルゴリズムは

$$L = (L - R) \cdot K_{s0} + (L + R) \cdot K_{s1}$$

$$R = (L - R) \cdot K_{s2} + (L + R) \cdot K_{s3}$$

であり、且つ

$$0 \leq K_{s0} \leq 0.5, \quad 0.5 \leq K_{s1} \leq 1.0$$

$$-0.5 \leq K_{s2} \leq 0, \quad 0.5 \leq K_{s3} \leq 1.0$$

に制限される。また、信号レベルを一定に保つために

$$K_{s1} = 1.0 - K_{s0}$$

$$K_{s3} = 1.0 + K_{s2}$$

$$K_{s2} = -K_{s0}$$

という条件もつける。

第4図は制御用マイクロコンピュータ4のフローチャートである。このマイクロコンピュータ4により、次の各処理が行われる。(1)FMチューナ

1のIF段から得られるシグナルレベルをA/D変換器9を通して量子化する。(2)量子化されたデジタル値からシグナルレベルの電圧値を判読し、第5図(a)のASC特性(テーブル)に合わせたセレーションレベルを求める。(3)得られたセレーションレベルをDSP10に与える係数 K_{s1} に変換する。(4)変換された係数 $K_{s0} \sim K_{s3}$ をDSP10に転送する。

シグナルレベルは6ビットのデジタル値に変換されるので、最小単位(000001)はアナログ電圧の0.078125(V)に相当する。従って、シグナルレベル S_v は

$$S_v = 0.078125 \times \text{デジタル値}$$

と表記される。第5図(a)のASC特性は、

① $S_v = 0 \sim 0.6$ Vにおいて

$$\text{セレーションレベル } S_L = 0 \text{ dB (モノラル)}$$

② $S_v = 0.6 \sim 1.5$ Vにおいて

$$S_L = \frac{1.0}{0.2} \cdot S_v - 3.0 \text{ (dB)}$$

③ $S_v = 1.5$ V以上において

$$SL = 48 \text{ (dB)}$$

となる。これに合せて係数 K_s を求める。係数は10ビットの-1.0～1.0を符号付2の補数とする。換算式は

$$SL = 20 \log K_s$$

である。例えば、 $SL = 40$ のとき

$$\log K_s = 40 / 20 = 2$$

であるから $K_s = 100$ である。この係数は比であるから0値から100番目の値が $K_s = 100$ に相当する。故に、下表から $64H = 0001100100B = 0.1953125$ が得られる。DSPに与える値は中間のバイナリ項(B)である。

表 1

Sv	SL	比	係数	ヘキサ
1.5	48	256	0110000000B	300H
1.4	40	100	0001100100B	64H
1.0	20	10	0000001010B	AH
0.6	0	0	0000000000B	0H

DSPは与えられた係数 K_s が変わる毎にステレオ分離度を変化させるので、全体として受信電界に応じてステレオ分離度が変化する制御特性となり、特に第5図(a)のような変換特性を利用すればその変化が円滑になる。

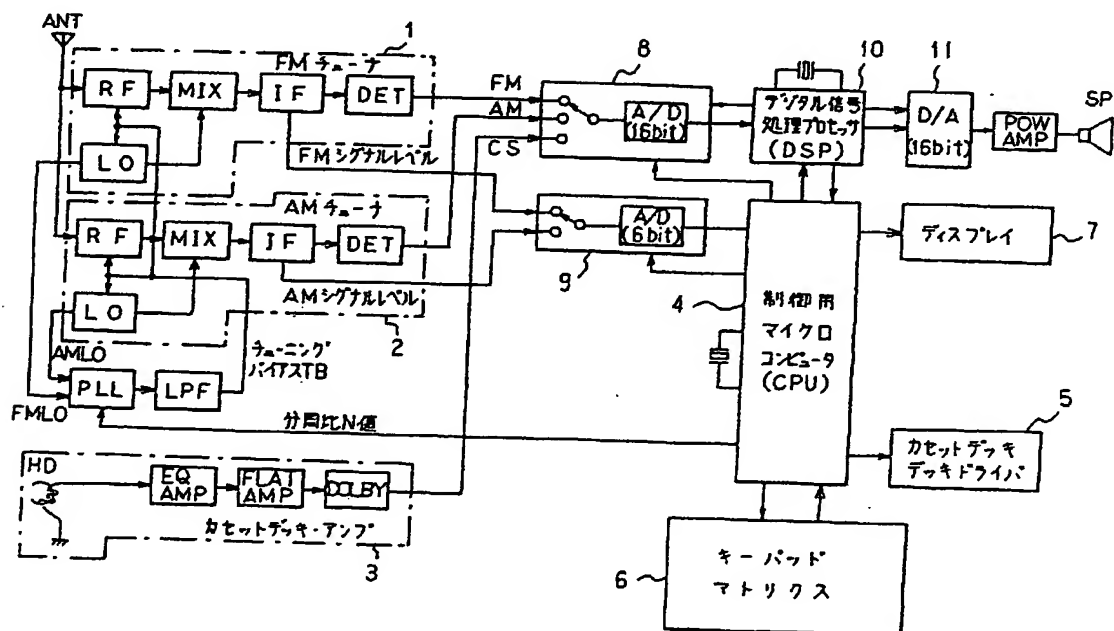
〔発明の効果〕

以上述べたように本発明によれば、FM受信機のステレオ分離度を受信電界に応じて円滑に変化させることができる。

4. 図面の簡単な説明

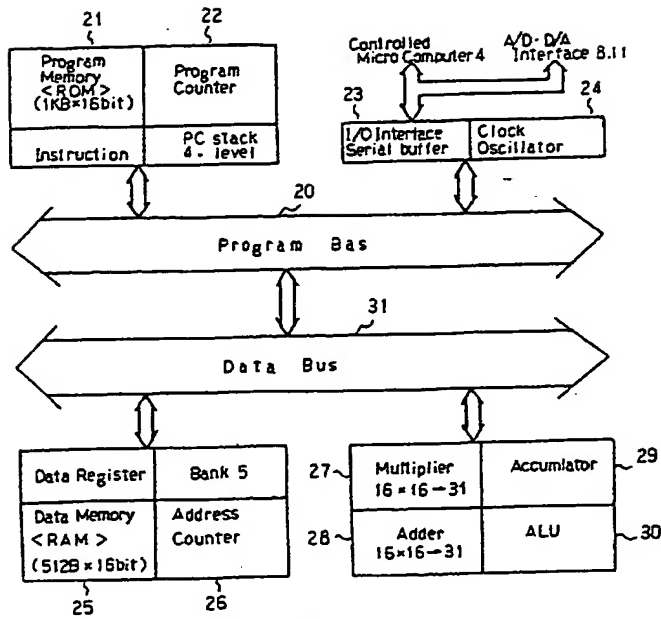
第1図は本発明を適用したオーディオシステムのブロック図、第2図および第3図はデジタル信号処理プロセッサの概略構成図およびシグナルフローの説明図、第4図は制御用マイクロコンピュータのフローチャート、第5図は本発明の動作説明図、第6図は自動ステレオ分離度制御の説明図である。

図中、1はFMチューナ、4は制御用マイクロコンピュータ、8、9はA/D変換器、10はデジタル信号処理プロセッサである。



オーディオシステムのブロック図

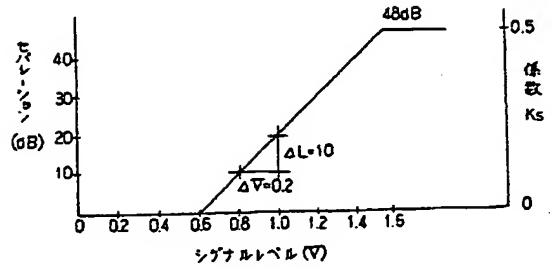
第1図



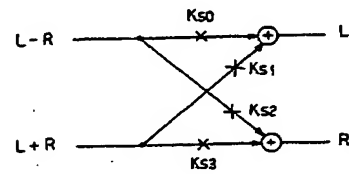
DSPの概略構成図

第2図

(a) ASC 特性図

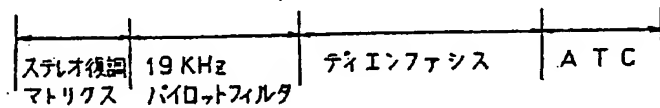
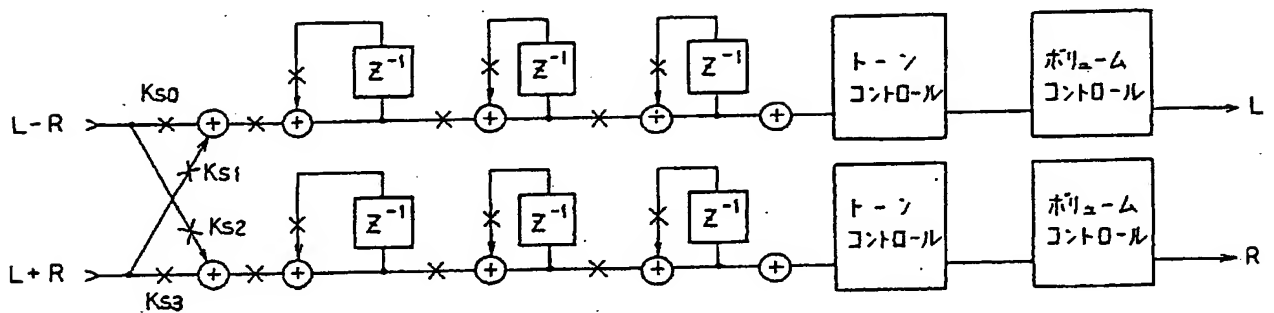


(b) 復調マトリクス



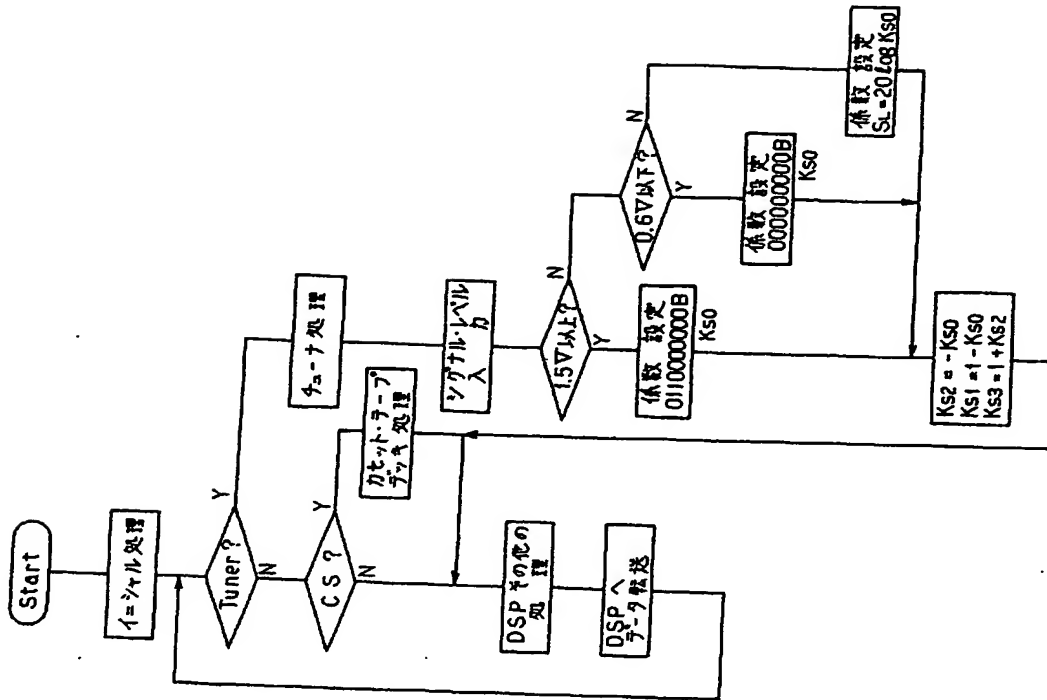
本発明の動作説明図

第5図



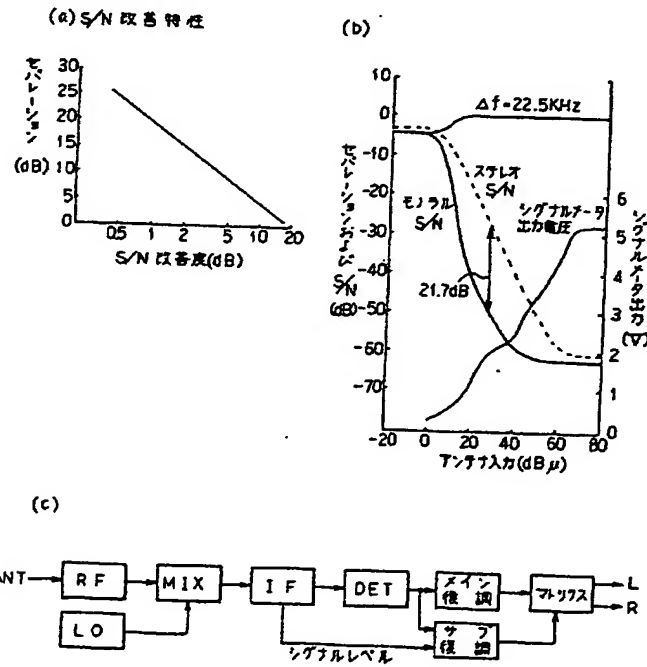
DSPシグナルフローの説明図

第3図



制御用マイコンのフローチャート

第4図



自動ステレオ分離度制御の説明図

第6図